



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09062533 A**(43) Date of publication of application: **07.03.97**

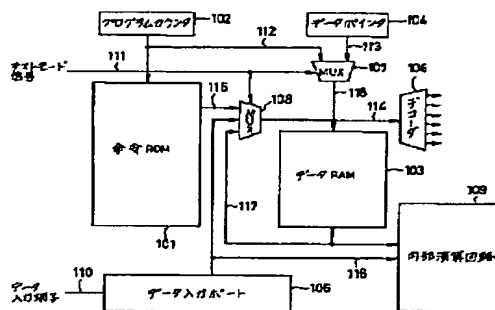
(51) Int. Cl

G06F 11/22(21) Application number: **07220959**(71) Applicant: **NEC CORP**(22) Date of filing: **30.08.95**(72) Inventor: **ISHIDA RYUJI****(54) TEST CIRCUIT FOR SINGLE CHIP MICROPROCESSOR****(57) Abstract:**

PROBLEM TO BE SOLVED: To perform a test without previously storing any instruction code for test in a ROM when using this ROM as an instruction memory at a single chip processor.

SOLUTION: When performing the test according to a supplying instruction from the outside, this instruction is supplied from a data input terminal through a data input port 105 to a multiplexer 108, and this instruction is selected at the multiplexer 108 and outputted to a decoder 106. The instruction is decoded by this decoder 106 and executed. The address of a data RAM 103 is defined as the output of a data pointer 104, and data with the execution of this instruction are stored in the RAM 103. When performing the test of this RAM itself, the instruction for test is previously fetched from the data input port 105 and written into the RAM 103. Afterwards, the address of the RAM 103 is switched to the output of a program counter 102, the instructions are successively read out of the RAM 103 and this read instruction is supplied through the multiplexer 108 to the decoder 106 and executed.

COPYRIGHT: (C)1997,JPO



This Page Blank (uspto)

【特許請求の範囲】

【請求項 1】 命令を格納した命令格納手段と、この命令格納手段のアドレスを指定する第 1 のアドレス指定手段と、データを格納するためのデータ格納手段と、このデータ格納手段のアドレスを指定する第 2 のアドレス指定手段と、前記命令格納手段からの命令をデコードするデコード手段と、このデコード手段のデコード出力に従ってデータ処理を行うデータ処理手段とを含むシングルチップマイクロプロセッサのテスト回路であって、外部から供給されるデータを取込んで前記データ処理手段へ供給するためのデータ取込み手段と、前記データ格納手段のアドレスとして前記第 1 のアドレス指定手段の出力及び前記第 2 のアドレス指定手段の出力を択一的に導出するアドレス選択手段と、前記デコード手段への入力として前記命令格納手段の出力及び前記データ取込み手段の出力を択一的に導出する命令選択手段と、を含み、外部からの命令テストを行う第 1 のテストモード指示に応答して前記アドレス選択手段が前記第 2 のアドレス指定手段の出力を選択するようにし、前記第 1 のテストモード指示に応答して外部から順次供給されて前記データ取込み手段により取込まれた当該命令を前記命令選択手段が選択するようにしたことを特徴とするシングルチップマイクロプロセッサのテスト回路。

【請求項 2】 前記命令選択手段は更に前記データ格納手段の出力をも択一的に導出可能とされており、前記データ格納手段をテストする第 2 のテストモード指示に、前記アドレス選択手段が前記第 1 のアドレス指定手段の出力を選択するようにすると共に、前記命令選択手段が前記データ格納手段の出力を選択するようにしたことを特徴とする請求項 1 記載のシングルチップマイクロプロセッサのテスト回路。

【請求項 3】 通常動作モード指示に、前記データ取込み手段がデータ処理のため外部から供給される演算データを取込み、前記アドレス選択手段が前記第 2 のアドレス指定手段の出力を選択し、前記命令選択手段が前記命令格納手段の出力を選択するようにしたことを特徴とする請求項 1 または 2 記載のシングルチップマイクロプロセッサのテスト回路。

【請求項 4】 前記データ格納手段には、通常動作モード時には前記前記データ処理手段によるデータ処理のためのデータが格納され、前記第 2 のテストモード時にはテスト命令が格納されるようにしたことを特徴とする請求項 2 記載のシングルチップマイクロプロセッサのテスト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はシングルチップマイクロプロセッサのテスト回路に関し、特にハーバードアーキテクチャを採用した DSP（デジタルシグナルプロセッサ）等の高速のシングルチップマイクロプロセッサの内部テスト回路に関するものである。

【0002】

【従来の技術】 シングルチップマイクロプロセッサの高速動作を実現するため、命令コード系のデータバスと演算データ系のデータバスを分離したハーバードアーキテクチャが一般に採用されている。特にデジタルシグナルプロセッサ（DSP）等、高速動作を必要とするプロセッサでは、外部に命令メモリを持つことが、メモリのアクセススピード、外部端子数等の制約によって不可能となってきた。このため、命令メモリに関しては、内蔵の命令 ROM（RAM）のみといったプロセッサの構成が、一般的となってきた。

【0003】 図 3 はこの種の DSP の一般的な内部ブロック図である。図において、109 は内部演算回路であり、データ RAM 120 と、このデータ RAM 120 のアドレス指定をなすデータポインタ 121 と、ALU（演算ユニット）122 と、乗算器 123 と、データ入出力回路 124 と、これ等各回路を相互接続する内部データバス 125 とからなっている。

【0004】 命令が格納された命令 ROM 101 が設けられており、プログラムカウンタ 102 により指定されるアドレスに従って当該命令 ROM 101 から順次読出される命令が、デコーダ 106 によりデコードされることにより、データ処理が行われるようになっている。尚、データ RAM 103 及びこの RAM アドレスを生成するデータポインタ 104 も設けられている。

【0005】 特に特定用途（特定処理）に専用化されたプロセッサにおいては、チップ面積の縮小化、価格低減のために、内部命令メモリを ROM のみとしたものが多く見られる。このような内部の命令メモリが ROM のみのプロセッサにおいては、内部回路のテスト用プログラムを書込む領域が必要となり、命令 ROM の一部領域をテストプログラム領域として確保せざるを得ない状況となっている。このため、内部命令 ROM 容量のうち、ユーザの信号処理プログラムの書込み領域を減少させる要因となっていた。

【0006】 特に DSP の様に水平型の命令コード形式を持つプロセッサにおいては 1 命令中に複数の制御フィールドが存在するため 1 命令中の命令の組み合わせが膨大となり、また前後の命令の組み合わせによる動作検証までも含めると、予め全てのテストプログラムを命令 ROM に書込んでおくことは現実的に困難となってきた。

【0007】 また、予めテストプログラムを命令 ROM に書込んでおく必要があるため、命令 ROM に書込まれていなかった事象に関しては事後に検証するすべがなく、例えば製品出荷後に不具合が判明した場合にも、内部回路の動作検証を行うことが非常に困難となっていた。

【00078】これに対し、特開平 2-12436 号公報に開示された様なテスト回路構成が提案されているが、この技術では、1 命令サイクルに 2 度メモリの読出しを行うといった極めて低速動作のプロセッサに対応したものであり、現状の 1 命令サイクルに一度の命令アクセスしか行えない高速動作を行うプロセッサに対しては対応できない構成となっていた。

【0009】

【発明が解決しようとする課題】この様な従来のシングルチップマイクロプロセッサでは、内部回路テスト用のテストプログラムを命令 ROM 上に書込む必要があるため、命令 ROM 領域が大きくなるという問題があった。また、このため、内部の命令 ROM 容量のうち、ユーザ使用領域が低減してしまうという欠点もあった。

【0010】更に水平型命令コード形式を持った DSP 等においては命令の組み合わせが膨大となり、結果的に全てのテストプログラムを予め命令 ROM に書込んでおくことができず、また、不具合が発生した場合にも後から解析用のテストプログラムを実行することができないという問題があった。

【0011】本発明の目的は、命令メモリとして ROM を有するマイクロプロセッサにおいて、この ROM にテスト用の命令を予め書込んでおくことなく、必要に応じて外部から命令コード供給しつつ内部回路のテストを行うことができるようにしたシングルチップマイクロプロセッサのテスト回路を提供することである。

【0012】

【課題を解決するための手段】本発明によれば、命令を格納した命令格納手段と、この命令格納手段のアドレスを指定する第 1 のアドレス指定手段と、データを格納するためのデータ格納手段と、このデータ格納手段のアドレスを指定する第 2 のアドレス指定手段と、前記命令格納手段からの命令をデコードするデコード手段と、このデコード手段のデコード出力に従ってデータ処理を行うデータ処理手段とを含むシングルチップマイクロプロセッサのテスト回路であって、外部から供給されるデータを取込んで前記データ処理手段へ供給するためのデータ取込み手段と、前記データ格納手段のアドレスとして前記第 1 のアドレス指定手段の出力及び前記第 2 のアドレス指定手段の出力を択一的に導出するアドレス選択手段と、前記デコード手段への入力として前記命令格納手段の出力及び前記データ取込み手段の出力を択一的に導出する命令選択手段と、を含み、外部からの命令テストを行う第 1 のテストモード指示に応答して前記アドレス選択手段が前記第 2 のアドレス指定手段の出力を選択するようにし、前記第 1 のテストモード指示に応答して外部から順次供給されて前記データ取込み手段により取込まれた当該命令を前記命令選択手段が選択するようにしたことを特徴とするシングルチップマイクロプロセッサのテスト回路が得られる。

【0013】更に本発明によれば、前記命令選択手段は更に前記データ格納手段の出力をも択一的に導出可能とされており、前記データ格納手段をテストする第 2 のテストモード指示に応答して、前記アドレス選択手段が前記第 1 のアドレス指定手段の出力を選択するようにすると共に、前記命令選択手段が前記データ格納手段の出力を選択するようにしたことを特徴とするシングルチップマイクロプロセッサのテスト回路が得られる。

【0014】

【発明の実施の形態】本発明の作用は次の通りである。すなわち、外部より命令コードを順次 1 命令ずつ供給してテストする 1 命令テストモード時には、この外部から供給される命令コードをデータ入力ポートを介して取込みつつ命令デコーダへ供給することで、外部からの命令コードに従ってマイクロプロセッサ全体が動作して、テスト命令が実行できることになる。

【0015】また、データ RAM の動作テストを行う場合には、予めデータ入力ポートを介して外部からの命令コードを RAM へ書込んでおき、その後、この RAM から命令コードを読出して命令デコーダへ供給することで、RAM からの読出し命令の実行テストが可能となる。

【0016】以下に本発明の実施例について図面を用いて詳細に説明する。

【0017】図 1 はマイクロプロセッサに適用した際の本発明の一実施例のブロック構成図である。本実施例は、命令 ROM 101、データ RAM 103、データ入力ポート 105、プログラムカウンタ 102、データポインタ 104、デコーダ 106、2 入力マルチプレクサ 107、3 入力マルチプレクサ 108、内部演算回路 109、データ線 110, 111, 112, 113, 114, 115, 116, 117, 118 より構成される。

【0018】命令 ROM 101 のアドレス入力にはデータ線 112 が接続され、出力にはデータ線 115 が接続される。データ RAM 103 のアドレス入力にはデータ線 118 が接続され、データ入出力端子にはデータ線 117 が接続される。プログラムカウンタ 102 の出力にはデータ線 112 が接続される。データポインタ 104 の出力にはデータ線 113 が接続される。データ入力ポート 105 の入力にはデータ線 110 が接続され、出力にはデータ線 116 が接続される。

【0019】デコーダ 106 の入力にはデータ線 114 が接続される。内部演算回路にはデータ線 116, 117 が接続される。2 入力マルチプレクサ 107 のデータ入力にはデータ線 112, 113 が接続され、選択信号入力にはデータ線 111 が接続される。出力にはデータ線 118 が接続される。3 入力マルチプレクサ 108 の入力にはデータ線 115, 116, 117 が接続され、選択信号入力にはデータ線 111 が接続される。出力にはデータ線 114 が接続される。データ線 111 にはデ

ストモードを示すテストモード信号が入力される。また、データ線110には外部のデータ入力端子が接続される。

【0020】本実施例において、通常動作モードにおける各ブロックの動作を説明する。通常動作モード時には、テストモード信号の示す値に従い、2入力マルチプレクサ107はデータ線113から入力されるデータをデータ線118へ出力する。また3入力マルチプレクサ108はデータ線115から入力されるデータをデータ線114へ出力する。

【0021】従って、データRAM103のアドレス入力には、データポインタ104の示すデータが入力され、デコーダ106には、命令ROM101の出力データが入力されることとなる。各命令実行サイクルごとにプログラムカウンタ102の値が更新され、このプログラムカウンタ102の値が示すアドレスに従って命令ROM101より命令コードが読出され、この読出された命令コードに従ってマイクロプロセッサの動作制御が行われる。

【0022】通常、データ入力端子から入力される演算データはデータ入力ポート105を介して内部演算回路109に入力され、演算処理が施された後、外部に出力される。この演算過程において、演算途中のデータを格納しておくため、あるいは演算のための係数データを保持しておくため、データポインタ104の示すアドレスに対し、データRAM103に、内部演算回路109からデータの書込みや読出しが行われる。

【0023】次に1命令テストモード時における動作説明を行う。本動作モード時には、テストモード信号の示す値に応じて2入力マルチプレクサ107はデータ線113から入力される値をデータ線118に出力し、3入力マルチプレクサ108はデータ線116から入力される値をデータ線114へ出力する。

【0024】従って、本動作モードにおいては、データRAM103のアドレス入力にはデータポインタ104に保持されるデータが入力される。また、デコーダ106には、データ入力ポート105に保持される命令コードが入力され、この命令コードに従って、マイクロプロセッサの動作制御が行われる。任意の命令コードをデータ入力端子より入力し、データ入力ポートに取込み、命令を実行させることによって、あらゆる命令コードに対する動作検証を行うことが可能となる。

【0025】内部演算回路109での演算処理、データRAM103へのデータ書込み、読出しは、通常動作モードと同様、データポインタ104の示すアドレスに対して行われる。尚、本モードにおいては、データ入力ポート105には命令コードが保持されるため、任意のデータ入力は行えなくなるが、この命令コード自体を演算データとして取り扱うことは可能である。

【0026】RAMテストモード時の動作説明を行う。

本動作モードにおいては、テストモード信号の示す値に応じて、2入力マルチプレクサ107はデータ線112より入力される値をデータ線118に出力し、3入力マルチプレクサ108はデータ線117から入力される値をデータ線114に出力する。

【0027】従って、デコーダ106にはデータRAM103の出力データが入力され、またデータRAM103のアドレス入力にはプログラムカウンタ102のデータが入力される。予め複数ステップにわたる命令コードを、データ入力端子より入力し、内部演算回路109を介してデータRAM103に書込んでおき、通常モードと同様にプログラムの実行を行うと、プログラムカウンタ102の示すアドレスに従い、データRAM103より命令コードを読出し、この命令コードに従い内部動作を制御することにより、複数ステップにわたる命令の検証を行うことが可能となる。

【0028】尚、本動作モードにおいては、データポインタ104の動作制御は無効となり、任意の演算データの読出し、書込みは不可能となる。但し、実行中の命令コード自体を演算データとして、内部演算回路109側に出力することは可能である。

【0029】次に本発明の第2の実施例について図面を参照して説明する。図2はマイクロプロセッサに適用した際の本発明の第2の実施例のブロック構成図である。本実施例は、命令ROM、データRAM103、データ入力ポート105、プログラムカウンタ102、データポインタ104、デコーダ106、2入力マルチプレクサ107、202、内部演算回路109、スリーステートバッファ203、データ線110、112、113、116、117、118、210、211、212、213より構成される。

【0030】命令ROM201のアドレス入力にはデータ線112が接続され、出力にはデータ線213が接続される。また、出力イネーブル信号入力にはデータ線210が接続される。データRAM103のアドレス入力にはデータ線118が接続され、データ入出力端子にはデータ線117が接続される。プログラムカウンタ102の出力にはデータ線112が接続される。データポインタ104の出力にはデータ線113が接続される。

【0031】データ入力ポート105の入力にはデータ線110が接続され、出力にはデータ線116が接続される。デコーダ106の入力にはデータ線213が接続される。内部演算回路109にはデータ線116、117が接続される。2入力マルチプレクサ107のデータ入力にはデータ線112、113が接続され、選択信号入力にはデータ線210が接続される。出力にはデータ線118が接続される。2入力マルチプレクサ202の入力にはデータ線116、117が接続され、選択信号入力にはデータ線211が接続される。出力にはデータ線212が接続される。

【0032】スリーステートバッファ203の入力にはデータ線212が接続され、出力にはデータ線213が接続される。また、出力制御信号入力端子にはデータ線210が接続される。データ線210、211にはテストモードを示すテストモード信号が入力される。また、データ線110には外部のデータ入力端子が接続される。

【0033】本実施例において、通常動作モードにおける各ブロックの動作を説明する。通常動作モード時には、テストモード信号に示す値に従い、2入力マルチプレクサ107はデータ線113から入力されるデータをデータ線118へ出力する。またスリーステートバッファ203はテストモード信号210の示す値により、ハイインピーダンス状態となり、同時に命令ROM201は出力イネーブル状態で、データ線213には命令ROM201の読出しデータが出力される。

【0034】従って、データRAM103のアドレス入力には、データポインタ104の示すデータが入力され、デコーダ106には、命令ROM201の出力データが入力されることとなる。各命令実行サイクルごとにプログラムカウンタ102の値が更新され、命令ROM201より命令コードが読出され、この読出された命令コードに従ってマイクロプロセッサの動作制御が行われる。

【0035】データ入力端子から入力される演算データがデータ入力ポート105を介して内部演算回路109に入力され、演算処理が施された後、外部に出力されるのは、第1の実施例と同様となる。この演算過程において、演算途中のデータを格納しておくため、あるいは演算のための係数データを保持しておくため、データポインタ104の示すアドレスに対し、データRAM103に、内部演算回路109からデータの書込みや読出しが行われる動作も第1の実施例と同様である。

【0036】次に1命令テストモード時における動作説明を行う。本動作モード時には、テストモード信号の示す値に応じて2入力マルチプレクサ107はデータ線113から入力される値をデータ線118に出力し、2入力マルチプレクサ202はデータ線116から入力される値をデータ線212へ出力する。

【0037】また、スリーステートバッファ203は、テストモード信号210の示す値に従いデータ線212から入力されるデータをデータ線213に出力すると共に、命令ROM201は出力不可状態となり、デコーダ106にはデコーダ入力ポート105に保持されるデータが入力されることとなる。

【0038】従って、本動作モードにおいては、データRAMのアドレス入力にはデータポインタ104に保持されるデータが入力され、デコーダ106には、データ入力ポート105に保持される命令コードが入力される。この命令コードに従いマイクロプロセッサの動作制

御が行われる。任意の命令コードをデータ入力端子より入力し、データ入力ポートに取込み、命令を実行させることによって、あらゆる命令コードに対する動作検証を行うことが可能となる。

【0039】内部演算回路109での演算処理、データRAM103へのデータの書込み、読出しは、通常動作モードと同様、データポインタ104の示すアドレスに対して行われる。尚、本モードにおいては、データ入力ポート105には命令コードが保持されるため、任意のデータ入力は行えなくなるが、この命令コード自体を演算データとして取り扱うことは可能である。

【0040】RAMテストモード時の動作説明を行う。本動作モードにおいては、テストモード信号の示す値に応じて、2入力マルチプレクサ107はデータ線112より入力される値をデータ線118に出力し、2入力マルチプレクサ202はデータ線117から入力される値をデータ線212に出力する。

【0041】また、スリーステートバッファ203は、テストモード信号210の示す値に従いデータ線212から入力されるデータをデータ線213に出力すると共に、命令ROM201は出力不可状態となり、デコーダ106にはデータRAM103の出力データが入力されることとなる。

【0042】従って、デコーダ106にはデータRAM103の出力データが入力され、またデータRAM103のアドレス入力にはプログラムカウンタ102のデータが入力される。予め複数ステップにわたる命令コードを、データ入力端子より入力し、内部演算回路109を介してデータRAM103に書込んでおき、通常モードと同様にプログラムの実行を行うと、プログラムカウンタ102の示すアドレスに従い、データRAM103より命令コードを読出し、この命令コードに従い内部動作を制御することにより、複数ステップにわたる命令の検証を行うことが可能となる。

【0043】尚、本動作モードにおいては、データポインタ104の動作制御は無効となり、任意の演算データの読出し、書込みは不可能となる。但し、実行中の命令コード自体を演算データとして、内部演算回路109側に出力することは可能である。

【0044】本第2の実施例においては、第1の実施例に対し、命令ROMの出力制御と、スリーステートバッファの出力制御を併用し、3入力選択回路を実現しているため、テストモード時の命令ROMのデータ読出し動作を止めることによって、テスト動作時の消費電力を低減することが可能となる。

【0045】

【発明の効果】以上説明したように本発明によれば、データ入力ポートからの任意の命令コードを入力し、これを実行する1命令テストモードと、同じくデータ入力ポートより予め内部のデータRAMに複数行にわたる命令

コードを書込み、データRAMの出力を実行命令コードとして取り扱うRAMテストモードを備えているため、全てのテストプログラムを予め命令ROM上に書込む必要がなく、命令ROM領域を大きくすることが無いという効果がある。

【0046】また、このため、内部の命令ROM容量のうち、ユーザ使用領域を大きく取ることが可能となる。更に、水平型命令コード形式を持ったDSP等における膨大な命令の組み合わせの検証も可能となる。また万が一不具合が発生した場合についても、後から解析用のテストプログラムを実行することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

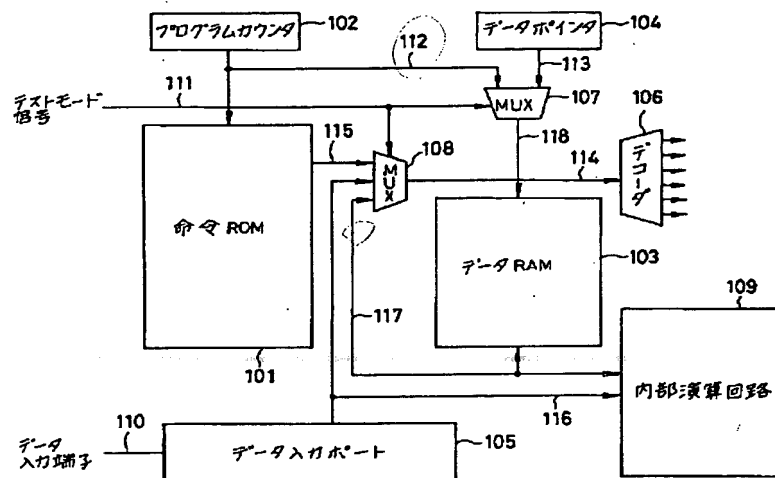
【図2】本発明の他の実施例のブロック図である。

【図3】一般的なDSPの内部ブロック図である。

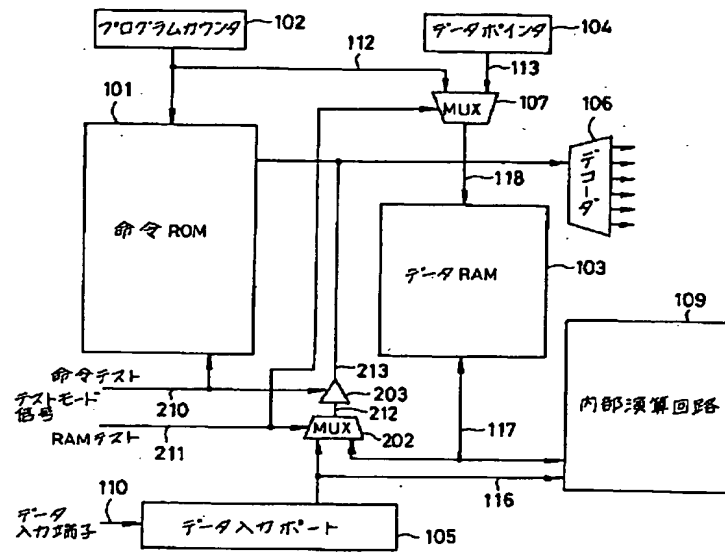
【符号の説明】

- 101 命令ROM
- 102 プログラムカウンタ
- 103 データRAM
- 104 データポインタ
- 105 データ入力ポート
- 106 デコーダ
- 107, 202 2入力マルチプレクサ
- 108 3入力マルチプレクサ
- 109 内部演算回路
- 203 3ステートバッファ

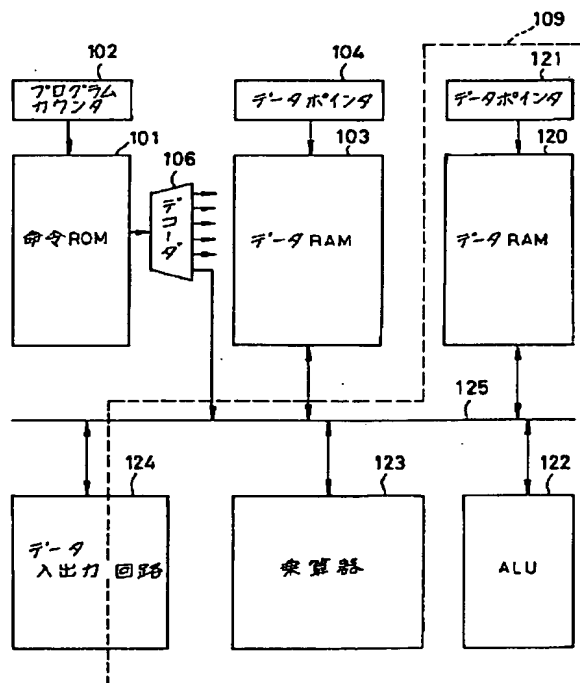
【図1】



【図 2】



【図 3】



24

This Page Blank (uspto)